

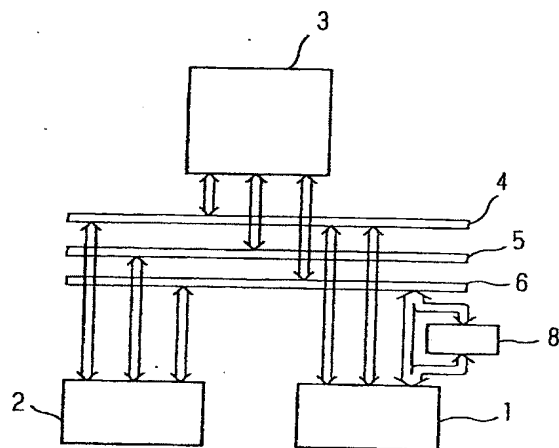
**CLAIM**

A logical memory access device in a system that shares one memory to use two micro-CPU's which have different logical memory accesses,

wherein said logical memory access device performs logical memory access without a loss of original processing ability and speed of each of the micro-CPU's, by using bus conversion .

**DRAWING**

FIG. 1



- 1: 68 series micro-CPU
- 2: 86 series micro-CPU
- 3: Memory
- 4: Control bus
- 5: Data bus
- 6: Address bus
- 7: Input and output circuit
- 8: Address control circuit

## ⑫ 公開実用新案公報(U)

平4-82736

⑬ Int. Cl.<sup>5</sup>G 06 F 12/04  
13/16

識別記号

5 1 0  
5 1 0

庁内整理番号

8841-5B  
8841-5B

⑭ 公開 平成4年(1992)7月17日

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 考案の名称 論理メモリアクセス装置

⑯ 実 願 平2-127909

⑰ 出 願 平2(1990)11月28日

⑱ 考 案 者 倉 敷 康 広 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社  
通信機製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

## ㉑ 実用新案登録請求の範囲

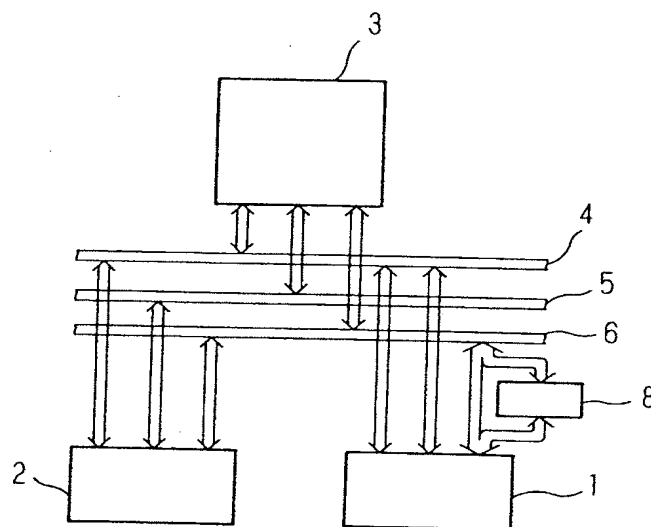
論理メモリアクセスの異なる2種の $\mu$ -CPUを一つのメモリを共有して使用するシステムにおいて、本来保持している個々の $\mu$ -CPUの処理能力、速度を失なうことなく論理メモリアクセスをバス変換によつて実現することを特徴とする論理メモリアクセス装置。

## 図面の簡単な説明

第1図はこの考案の一実施例を示すブロック

図、第2図は従来のブロック図を示す。図において、1は68系 $\mu$ -CPU、2は86系 $\mu$ -CPU、3はメモリ、4は制御バス、5はデータバス、6はアドレスバス、7は入出力回路、8はアドレス制御回路を示す。なお、図中、同一符号は同一、または相当部分を示す。

第 1 図



- 1 : 68系 $\mu$ -CPU
- 2 : 86系 $\mu$ -CPU
- 3 : メモリ
- 4 : 制御バス
- 5 : データバス
- 6 : アドレスバス
- 7 : 入出力回路
- 8 : アドレス制御回路

第 2 図

